

LIQUID CRYSTAL DISPLAY DEVICE

Publication number: JP9171196 (A)

Publication date: 1997-06-30

Inventor(s): MATSUSHIMA YASUHIRO +

Applicant(s): SHARP KK +

Classification:

- **international:** G02F1/1343; G02F1/136; G02F1/1368; H01L29/786; G02F1/13; H01L29/66; (IPC1-7): G02F1/1343; G02F1/136; H01L29/786

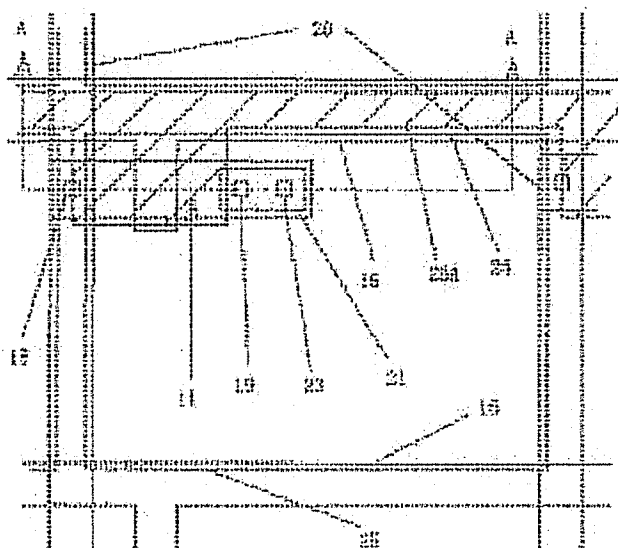
- **European:**

Application number: JP19960194451 19960724

Priority number(s): JP19960194451 19960724; JP19950267308 19951016

Abstract of JP 9171196 (A)

PROBLEM TO BE SOLVED: To obtain a liquid crystal display device having a high opening rate which does not lower an opening rate by forming additive capacitance common wirings in the upper part of interlayer insulating films and forming additive capacitance parts between these wirings and pixel electrodes. **SOLUTION:** Barrier metals for obtaining ohmic contact with drain electrodes 21 and the pixel electrodes 25 formed of ITO are formed by using metals, such as Tiw and Ti. Additive capacitance lower electrodes and additive capacitance common wirings 26A for forming the additive capacitances with the pixel electrodes 25 are formed by using these metals. Next, the insulating films are formed on the upper parts of the additive capacitance lower electrodes and additive capacitance common wirings 26A in order to form the additive capacitance with the pixel electrodes 25. The pixel electrodes 25 are formed in the form of partly overlapping on gate bus wirings 16 and source bus wirings 20 on the upper parts of the barrier metals, the additive capacitance lower electrodes and the additive capacitance common wirings 26A. The additive capacitance common wirings are thereby formed in the arbitrary places.



Family list

11 application(s) for: JP9171196

Sorting criteria: Priority Date Inventor Applicant Ecla

1 LIQUID CRYSTAL DISPLAY DEVICE

Inventor: MATSUSHIMA YASUHIRO

EC:

Publication JP9329801 (A) - 1997-12-22
info: JP3212252 (B2) - 2001-09-25

Applicant: SHARP KK

IPC: G02F1/136; G02F1/1368; G02F1/13; (+1)

Priority Date: 1996-06-13

2 LIQUID CRYSTAL DISPLAY DEVICE

Inventor: MATSUSHIMA YASUHIRO

EC:

Publication JP9160074 (A) - 1997-06-20
info: JP3245527 (B2) - 2002-01-15

Applicant: SHARP KK

IPC: G02F1/1333; G02F1/136; G02F1/1368; (+6)

Priority Date: 1995-12-13

3 LIQUID CRYSTAL DISPLAY DEVICE AND ITS PRODUCTION

Inventor: MATSUSHIMA YASUHIRO

EC:

Publication JP9292626 (A) - 1997-11-11
info: JP3490216 (B2) - 2004-01-26

Applicant: SHARP KK

IPC: G02F1/136; G02F1/1368; G02F1/13; (+1)

Priority Date: 1996-04-24

4 STRUCTURE OF PICTURE ELEMENT PART

Inventor: MATSUSHIMA YASUHIRO

EC:

Publication JP2002176181 (A) - 2002-06-21
info: JP3643065 (B2) - 2005-04-27

Applicant: SHARP KK

IPC: G02F1/1368; G09F9/30; G09F9/35; (+9)

Priority Date: 1995-10-16

5 LIQUID CRYSTAL DISPLAY DEVICE

Inventor: MATSUSHIMA YASUHIRO

EC:

Publication JP9171196 (A) - 1997-06-30
info:

Applicant: SHARP KK

IPC: G02F1/1343; G02F1/136; G02F1/1368; (+6)

Priority Date: 1995-10-16

6 Liquid crystal display device having an insulation film made of organic material between an additional capacity and a bus line

Inventor: MATSUSHIMA YASUHIRO [JP]

EC: G02F1/1362C; G02F1/1362H; (+1)

Publication US5917563 (A) - 1999-06-29
info:

Applicant: SHARP KK [JP]

IPC: G02F1/1362; H01L27/12; G02F1/13; (+2)

Priority Date: 1995-10-16

7 Liquid crystal display device with active matrix substrate using source/drain electrode as capacitor conductor

Inventor: MATSUSHIMA YASUHIRO [JP]

EC: G02F1/1362C; G02F1/1362H; (+1)

Publication US6141066 (A) - 2000-10-31
info:

Applicant: SHARP KK [JP]

IPC: G02F1/1362; H01L27/12; G02F1/13; (+2)

Priority Date: 1995-10-16

8 Switching element substrate having additional capacity and manufacturing method thereof

Inventor: MATSUSHIMA YASUHIRO [JP]

EC: G02F1/1362C; G02F1/1362H; (+1)

Publication US6359665 (B1) - 2002-03-19
info:

Applicant: SHARP KK [JP]

IPC: G02F1/1362; H01L27/12; G02F1/13; (+2)

Priority Date: 1995-10-16

9 Semiconductor device

Inventor: MATSUSHIMA YASUHIRO [JP]

EC: G02F1/1362C; G02F1/1362H; (+1)

Publication US2002057248 (A1) - 2002-05-16
info: US6806932 (B2) - 2004-10-19

Applicant: SHARP KK [US]

IPC: G02F1/1362; H01L27/12; G02F1/13; (+2)

Priority Date: 1995-10-16

10 Semiconductor device

Inventor: MATSUSHIMA YASUHIRO [JP]

EC: G02F1/1362C; G02F1/1362H; (+1)

Publication info: **US2004201788 (A1)** - 2004-10-14
US7057691 (B2) - 2006-06-06

Applicant: SHARP KK [JP]

IPC: *G02F1/1362; H01L27/12; G02F1/13*; (+2)

Priority Date: 1995-10-16

11 Semiconductor device

Inventor: MATSUSHIMA YASUHIRO [JP]

EC: G02F1/1362C; G02F1/1362W

Publication info: **US2006082711 (A1)** - 2006-04-20
US7190418 (B2) - 2007-03-13

Applicant: SHARP KK [JP]

IPC: *G02F1/1343; G02F1/13*

Priority Date: 1995-10-16

Data supplied from the *espacenet* database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-171196

(43) 公開日 平成9年(1997)6月30日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0		G 0 2 F 1/136	5 0 0
	1/1343			1/1343
H 0 1 L 29/786			H 0 1 L 29/78	6 1 2 C

審査請求 未請求 請求項の数 8 O L (全 8 頁)

(21) 出願番号 特願平8-194451

(22) 出願日 平成8年(1996)7月24日

(31) 優先権主張番号 特願平7-267308

(32) 優先日 平7(1995)10月16日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 松島 康浩

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

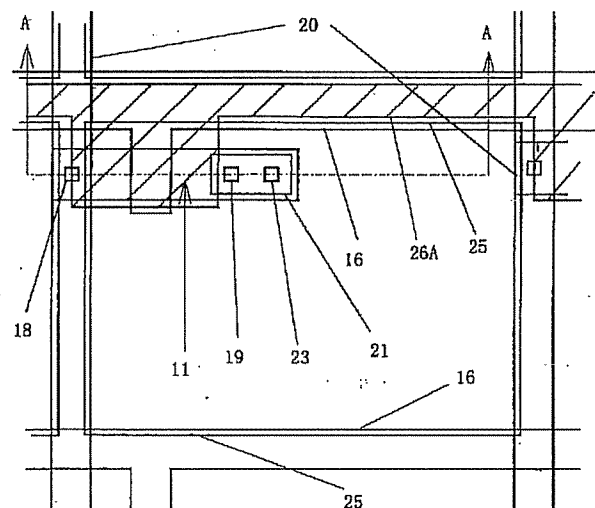
(74) 代理人 弁理士 梅田 勝

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 高開口率の液晶パネルによる明るい液晶表示装置を実現する。

【解決手段】 基板上に、複数の走査線と信号線とをマトリクス状に設け、該走査線と信号線との交差部にスイッチング素子を設け、該スイッチング素子の上部に有機材料からなる層間絶縁膜を設け、該層間絶縁膜上に画素電極を設けてなる液晶表示装置において、前記層間絶縁膜の上部に付加容量共通配線を形成し、前記画素電極との間で付加容量部を形成している。



【特許請求の範囲】

【請求項１】 基板上に、複数の走査線と信号線とをマトリクス状に設け、該走査線と信号線との交差部にスイッチング素子を設け、該スイッチング素子の上部に有機材料からなる層間絶縁膜を設け、該層間絶縁膜上に画素電極を設けてなる液晶表示装置において、前記層間絶縁膜の上部に付加容量共通配線を形成し、前記画素電極との間で付加容量部を形成したことを特徴とする液晶表示装置。

【請求項２】 基板上に、複数の走査線と信号線とをマトリクス状に設け、該走査線と信号線との交差部にスイッチング素子を設け、該スイッチング素子の上部に有機材料からなる層間絶縁膜を設け、該層間絶縁膜上に画素電極を設けてなる液晶表示装置において、画素電極と対応する付加容量共通配線を、前記層間絶縁膜の上方であって少なくとも前記スイッチング素子とオーバーラップする位置に形成し、前記画素電極との間で付加容量部を形成したことを特徴とする液晶表示装置。

【請求項３】 前記付加容量共通配線は、少なくともスイッチング素子におけるPN接合部を覆い、遮光膜として機能することを特徴とする請求項２記載の液晶表示装置。

【請求項４】 基板上に、複数の走査線と信号線とをマトリクス状に設け、該走査線と信号線との交差部にスイッチング素子を設け、該スイッチング素子の上部に有機材料からなる層間絶縁膜を設け、該層間絶縁膜上に画素電極を設けてなる液晶表示装置において、画素電極と対応する付加容量共通配線を、前記層間絶縁膜の上方であって少なくとも走査線、信号線のうち何れか一方とオーバーラップする位置に形成し、前記画素電極との間で付加容量部を形成したことを特徴とする液晶表示装置。

【請求項５】 前記付加容量共通配線は、ドレイン電極と画素電極とのオーミックコンタクトを取るための金属により形成されたことを特徴とする請求項１から４の何れかに記載の液晶表示装置。

【請求項６】 対向基板は、ブラックマトリクスを有しないことを特徴とする請求項１から５の何れかに記載の液晶表示装置。

【請求項７】 付加容量の誘電体として使用した絶縁膜の比誘電率は、層間絶縁膜に用いた有機材料の比誘電率よりも大きいことを特徴とする請求項１から６の何れかに記載の液晶表示装置。

【請求項８】 前記付加容量の誘電体は、陽極酸化膜であることを特徴とする請求項７記載の液晶表示装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】 本発明は、薄膜トランジスタ等のスイッチング素子を備えた液晶表示装置に関し、特に画素部の構造に関するものである。

【０００２】

【従来の技術】 周辺駆動回路を基板上に形成した液晶表示装置の平面模式図を図６に示す。ガラス基板または石英基板３１上にゲート駆動回路３２、ソース駆動回路３３、およびＴＦＴ（Thin Film Transistor）アレイ部３４が形成されている。ゲート駆動回路３２は、シフトレジスタ３２ａおよびバッファ３２ｂから構成される。ソース駆動回路３３は、シフトレジスタ３３ａと、バッファ３３ｂと、ビデオライン３８のサンプリングを行うアナログスイッチ３９とから構成される。ＴＦＴアレイ部３４には、ゲート駆動回路３２から延びる多数の平行するゲートバス配線１１６が配設されている。ソース駆動回路３３から延びる多数の平行するソースバス配線１２０がゲートバス配線１１６に直交して配設されている。そしてゲートバス配線１１６に平行して付加容量共通配線１１４が配設されている。２本のゲートバス配線１１６、２本のソースバス配線１２０、および付加容量共通配線１１４に囲まれた矩形の領域には、ＴＦＴ３５、画素３６、および付加容量３７が設けられている。ＴＦＴ３５のゲート電極は、ゲートバス配線１１６に接続され、ソース電極はソースバス配線１２０に接続されている。ＴＦＴ３５のドレイン電極に接続された画素電極と対向基板上の対向電極との間に液晶が封入され、画素３６が構成されている。また、付加容量共通配線１１４は対向電極と同じ電位の電極に接続されている。

【０００３】 次に、図７および図８を参照しながら、図６の従来のＴＦＴアレイ部３４の構成をより詳細に説明する。図７は従来例における画素のレイアウトパターンを示す。さらに、図７のＡ－Ａにおける断面構造を図８に示す。まず、絶縁性基板１１０上に活性層となる多結晶シリコン薄膜１１１を４０ｎｍ～８０ｎｍの厚さで形成する。次に、スパッタリングまたはＣＶＤ法を用いて、ゲート絶縁膜１１３を８０ｎｍ～１５０ｎｍの厚さで形成する。次に、多結晶シリコン薄膜１１１において、後に付加容量を形成する付加容量部（図７および図８に斜線部分で示す）にリンイオンを $1 \times 10^{15} \text{ (cm}^{-2}\text{)}$ 注入する。

【０００４】 次に、ゲート電極１１６および付加容量共通配線１１４を金属または低抵抗の多結晶シリコンを用いて所定の形状にパターニングを行なう。次に、この薄膜トランジスタの導電型を決定するために、ゲート電極１１６上方からリンイオンを $1 \times 10^{15} \text{ (cm}^{-2}\text{)}$ 注入し、ゲート電極１１６下部にチャンネル１１２を形成する。次に、 SiO_2 または SiN_x を用いて、第１の層間絶縁膜１１５を全面に形成後、コンタクトホール１１８およびコンタクトホール１１９を設ける。次に、ソースバス配線１２０およびドレイン電極１２１をＡ１などの低抵抗の金属を用いて形成する。次に、第１の層間絶縁膜１１５と同様に SiO_2 または SiN_x を用いて第２の

層間絶縁膜124を全面に形成後、コンタクトホール123を設け、次いでITOなどの透明導電膜を用いて画素電極125の形成を行なう。ソースバス配線120およびドレイン電極121にAlを用いた場合には、ドレイン電極121と画素電極125とのオーミックコンタクトをとるために、バリアメタル126が、Ti、TiW、Mo、MoSi等を用いて形成される。

【0005】

【発明が解決しようとする課題】しかしながら、上記従来例においては、第1および第2の層間絶縁膜の膜厚は無機膜を用いているため、膜厚は数100nmと小さく、比誘電率も通常の有機膜に比べて大きく、付加容量共通配線114と他の配線（例えばソースバス配線）との容量が大きいため、他の配線からの影響を受けやすかった。したがって、層間絶縁膜に無機材料を用いた場合には、付加容量部を他の配線上に大きくオーバーラップさせて形成することは好ましくない。また、この付加容量部は非透光性であるため、この付加容量部による開口率の低下を招いていた。さらに、付加容量共通配線114はゲートバス配線116と同じ層に形成されており、付加容量共通配線114は非透光性であるため、開口率を低下させていた。このため、開口率が小さくなると画面が暗く、見づらいものになってしまうという問題点があった。

【0006】本発明は、上記問題点を解決するものであり、例えば付加容量共通配線による開口率の低下を起こさない高開口率の液晶表示装置を提供するものである。

【0007】

【課題を解決するための手段】本発明によれば、基板上に、複数の走査線と信号線とをマトリクス状に設け、該走査線と信号線との交差部にスイッチング素子を設け、該スイッチング素子の上部に有機材料からなる層間絶縁膜を設け、該層間絶縁膜上に画素電極を設けてなる液晶表示装置において、前記層間絶縁膜の上部に付加容量共通配線を形成し、前記画素電極との間で付加容量部を形成したことを特徴とし、それによって上記目的が達成される。

【0008】本発明によれば、基板上に、複数の走査線と信号線とをマトリクス状に設け、該走査線と信号線との交差部にスイッチング素子を設け、該スイッチング素子の上部に有機材料からなる層間絶縁膜を設け、該層間絶縁膜上に画素電極を設けてなる液晶表示装置において、画素電極と対応する付加容量共通配線を、前記層間絶縁膜の上方であって少なくとも前記スイッチング素子とオーバーラップする位置に形成し、前記画素電極との間で付加容量部を形成したことを特徴とし、それによって上記目的が達成される。

【0009】前記付加容量共通配線は、少なくともスイッチング素子におけるPN接合部を覆い、遮光膜として機能することが望ましい。

【0010】本発明によれば、基板上に、複数の走査線と信号線とをマトリクス状に設け、該走査線と信号線との交差部にスイッチング素子を設け、該スイッチング素子の上部に有機材料からなる層間絶縁膜を設け、該層間絶縁膜上に画素電極を設けてなる液晶表示装置において、画素電極と対応する付加容量共通配線を、前記層間絶縁膜の上方であって少なくとも走査線、信号線のうち何れか一方とオーバーラップする位置に形成し、前記画素電極との間で付加容量部を形成したことを特徴とし、それによって上記目的が達成される。

【0011】前記付加容量共通配線は、ドレイン電極と画素電極とのオーミックコンタクトを取るための金属により形成してもよい。

【0012】また、対向基板は、ブラックマトリクスを有しないことが望ましい。

【0013】また、付加容量の誘電体として用いた絶縁膜の比誘電率は、層間絶縁膜に用いた有機材料の比誘電率よりも大きいことが望ましい。

【0014】前記付加容量の誘電体は、陽極酸化膜を用いてもよい。

【0015】以下、作用について説明する。

【0016】本発明によれば、基板上に、複数の走査線と信号線とをマトリクス状に設け、該走査線と信号線との交差部にスイッチング素子を設け、該スイッチング素子の上部に有機材料からなる層間絶縁膜を設け、該層間絶縁膜上に画素電極を設けてなる液晶表示装置において、前記層間絶縁膜の上部に付加容量共通配線を形成し、前記画素電極との間で付加容量部を形成したことを特徴としているので、付加容量共通配線と走査線もしくは信号線との容量は無視することができ、任意の形状で付加容量共通配線を形成することができる。例えば、この付加容量共通配線を遮光膜とすることも可能である。

【0017】本発明によれば、基板上に、複数の走査線と信号線とをマトリクス状に設け、該走査線と信号線との交差部にスイッチング素子を設け、該スイッチング素子の上部に有機材料からなる層間絶縁膜を設け、該層間絶縁膜上に画素電極を設けてなる液晶表示装置において、画素電極と対応する付加容量共通配線を、前記層間絶縁膜の上方であって少なくとも前記スイッチング素子とオーバーラップする位置に形成し、前記画素電極との間で付加容量部を形成したことを特徴としているので、付加容量共通配線による開口率の低下は起こらない。

【0018】前記付加容量共通配線は、少なくともスイッチング素子におけるPN接合部を覆い、遮光膜として機能するので、液晶表示装置に照射された光がスイッチング素子に当たり、オフ電流が増大することに起因する表示品位の低下を防止することができる。

【0019】本発明によれば、基板上に、複数の走査線と信号線とをマトリクス状に設け、該走査線と信号線との交差部にスイッチング素子を設け、該スイッチング素

子の上部に有機材料からなる層間絶縁膜を設け、該層間絶縁膜上に画素電極を設けてなる液晶表示装置において、画素電極と対応する付加容量共通配線を、前記層間絶縁膜の上方であって少なくとも走査線、信号線のうち何れか一方とオーバーラップする位置に形成し、前記画素電極との間で付加容量部を形成したことを特徴としているので、付加容量共通配線による開口率の低下は起こらない。

【0020】前記付加容量共通配線は、ドレイン電極と画素電極とのオーミックコンタクトを取るための金属により形成されているので、この金属と同時に付加容量下部電極および付加容量共通配線のパターンニングを行えばよく、付加容量下部電極および付加容量共通電極のパターンニングの工程を必要としない。

【0021】対向基板にブラックマトリクスを有しないので、対向基板との貼り合わせに必要な遮光パターンのマージン分遮光パターンを大きく形成しておく必要がないので、その分開口率を大きくすることができる。また、対向基板には液晶材料のスイッチングを行う透明導電膜、または透明導電膜及びカラーフィルタを形成しておけばよいので、対向基板作製の工程が単純になる。

【0022】付加容量の誘電体として用いた絶縁膜の比誘電率は、層間絶縁膜に用いた有機材料の比誘電率よりも大きいので、付加容量を小面積で効果的に形成することができる。

【0023】付加容量の誘電体は、陽極酸化膜を用いているので、この陽極酸化膜は付加容量下部電極および付加容量共通配線に対する被覆性がよく、付加容量下部電極および付加容量共通配線と画素電極との短絡の問題は起こらない。またスパッタリング法やCVD法によって無機膜を形成する工程を必要としない。

【0024】

【発明の実施の形態】以下、本発明の実施形態について説明する。

【0025】（実施の形態1）図1に本発明の実施の形態1における画素1個分のレイアウト図を、図2に図1におけるA-Aの断面図を示す。以下、図1および図2により、本発明を説明する。従来例と同様に絶縁性基板10上に活性層となる多結晶シリコン薄膜11を40nm～80nmの厚さで形成した。次に、スパッタリングまたはCVD法を用いて、ゲート絶縁膜13をSiO₂またはSiN_xにより80nmの厚さで形成した。次に、ゲート電極16をAlまたは多結晶シリコンを用いて形成した。

【0026】次に、この薄膜トランジスタの導電型を決定するために、ゲートバス配線16の上方からゲートバス配線16をマスクとして、リンイオンを $1 \times 10^{15} \text{ (cm}^{-2}\text{)}$ 注入し、活性層のゲートバス配線16下部にノンドープのチャンネル部12を形成し、チャンネル部12以外の領域は高濃度の不純物領域とした。TF

の活性層において、チャンネル部12近傍に低濃度不純物領域またはノンドープ領域を設けて、TFのオフ時にリーク電流が少ない構造とすることができる。次に、第1の層間絶縁膜15を全面に形成した後、コンタクトホール18およびコンタクトホール19を設けた。次に、ソースバス配線20およびドレイン電極21をAlなどの低抵抗の金属を用いて形成した。次に、第2の層間絶縁膜24を形成するが、本発明においては透明な感光性の有機膜をスピンコート法により形成した。第2の層間絶縁膜24を感光性とするれば、露光および現像工程のみでコンタクトホールを設けることが可能であるため、製造プロセスが簡略化できる。

【0027】また、本実施形態においては、この液晶パネルを透過型液晶表示装置として用いるため、第2の層間絶縁膜24の材質としては着色のある有機材料ではなく、透明なアクリル樹脂を用いた。この有機膜は比誘電率が4以下と小さく、膜厚は2μm以上あるので、絶縁膜下方からの電界の影響を受けない。そのため、液晶材料のリバースチルトを抑制することができ、結果として液晶パネルの視野角も大きくすることができる。次に、露光および現像工程を行ってコンタクトホール23を設けた。

【0028】次に、ドレイン電極21と後の工程でITOにより形成される画素電極25とのオーミックコンタクトを取るためのバリアメタル26をTiW、Ti、Mo、MoSi等の金属を用いて形成した。本実施形態においては、この金属を用いて画素電極25との間で付加容量を形成するための付加容量下部電極および付加容量共通配線26Aを図1（斜線部）に示す形状で形成した。この付加容量下部電極および付加容量共通配線26Aとしては、バリアメタル26と異なる金属を用いてもよい。次に、付加容量下部電極および付加容量共通配線26A上部に画素電極25と付加容量を形成するために絶縁膜27を形成した。この絶縁膜27は、バリアメタル26が陽極酸化可能な材料、例えばAlまたはTaであれば、陽極酸化法を用いて形成することができる。この陽極酸化膜は通常の無機膜に比べて比誘電率が大きいので、小さな面積で効果的に付加容量を形成することができる。また、陽極酸化膜は付加容量下部電極および付加容量共通配線26Aに対する被覆性がよいので、付加容量下部電極および付加容量共通配線26Aと画素電極との短絡の問題は起こらない。またスパッタリング法やCVD法によって無機膜を形成する工程を必要としない。このように、付加容量を効果的に形成するために、絶縁膜27は、第2の層間絶縁膜24に比べて比誘電体が高い材料、膜厚の小さい材料、または比誘電率が大きくて膜厚の小さい材料が望ましい。具体的には、比誘電率としては、5以上望ましくは8以上のものが良く、付加容量部の膜厚としては500nm以下のものを用いることが望ましい。

【0029】次に、バリアメタル26および付加容量下部電極および付加容量共通配線26A上部に画素電極25を図1に示すようにゲートバス配線16およびソースバス配線20に一部オーバーラップさせた形状で形成した。このように、厚い層間絶縁膜上に付加容量を形成するので、任意の場所に付加容量共通配線を形成することができる。図1に示すように、本発明においては、付加容量を薄膜トランジスタ上に形成しているので、付加容量による開口率の低下は起こらない。また、隣同士の画素間の分離を配線上で行なっているので、配線が遮光膜の役目を持つ。また、薄膜トランジスタ上には非透光性の付加容量下部電極が存在し、これが遮光膜として機能するので、薄膜トランジスタのPN接合部へ光が照射されることによる、リーク電流を防止することができる。本実施形態においては、遮光膜が薄膜トランジスタ側の基板に形成されているため、対向基板に遮光パターンを形成する必要が無く、対向電極となる透明導電膜のパターンを形成しておけばよい。従って、対向基板に遮光パターンを形成した場合のように、遮光膜を貼り合わせマージンの分大きく形成しておく必要がなく、開口率を大きくすることができる。

【0030】（実施の形態2）本実施形態においては、バス配線上に付加容量を形成する場合について説明する。

【0031】本実施形態において、第2の層間絶縁膜24をアクリル樹脂などの有機膜を用いて形成するまでは実施の形態1と同様である。この有機膜の比誘電率は小さく、膜厚も $2\mu\text{m}$ 以上と厚いので、画素電極とバス配線間の容量は無視できる。従って、画素電極をゲートバス配線上に形成しても全く問題は無い。従って、図3に示すように画素電極25を自段のゲートバス配線16上にオーバーラップさせ、付加容量下部電極および付加容量共通配線26Aをゲートバス配線16上に形成し、ゲートバス配線16および薄膜トランジスタの上部で付加容量を形成することができる。この場合は、薄膜トランジスタ上だけではなく、ゲートバス配線16上で付加容量を形成することになるので、付加容量の領域を大きくとることができる。

【0032】同様に、画素電極をソースバス配線上に形成することができ、具体的には、図4に示すように、画素電極25を自段のソースバス配線20上にオーバーラップさせ、付加容量下部電極および付加容量共通配線26Aをソースバス配線20上に形成し、ソースバス配線20および薄膜トランジスタの上部で付加容量を形成することができる。この場合は、薄膜トランジスタ上だけではなく、ソースバス配線20上で付加容量を形成することになるので、付加容量の領域を大きくとることができる。

【0033】（実施の形態3）実施の形態1において、図2に示すように、画素電極25形成前に付加容量

下部電極および付加容量共通配線26Aを形成しているが、図5に示すように、画素電極25を形成した後、絶縁膜27、付加容量電極28を形成することもできる。以下、本実施の形態3について、図5を用いて説明する。実施の形態1と同様にして、絶縁性基板10上に薄膜トランジスタを形成し、有機材料による第2の層間絶縁膜24を形成し、コンタクトホール23を設けた。

【0034】その後、バリアメタル26のみを形成し、さらにその上に画素電極25を形成した。

【0035】続いて、絶縁膜27および付加容量電極材料を基板全面に形成し、付加容量電極28を実施の形態1および実施の形態2と同様に、薄膜トランジスタ、ゲートバス配線16、またはソースバス配線20上部に形成した。本実施形態においても、絶縁膜27として比誘電率の大きい材料または膜厚の小さい材料を用いれば、小面積で効果的に付加容量を形成することができる。

【0036】付加容量電極28のパターニング時に絶縁膜27を残しておけば、この絶縁膜は保護膜の作用も持つ。この付加容量電極28には、任意の金属が使用可能であり、例えばゲートバス配線、ソースバス配線、画素電極と同材料で付加容量電極28が形成できる。また、実施の形態1のように付加容量下部電極および付加容量共通配線26Aの上部にのみ絶縁膜を形成する必要がなく、画素電極25の上方の基板全面に絶縁膜27を形成すればよいので、絶縁膜27をパターニングする必要がない。

【0037】

【発明の効果】本発明によれば、基板上に、複数の走査線と信号線とをマトリクス状に設け、該走査線と信号線との交差部にスイッチング素子を設け、該スイッチング素子の上部に有機材料からなる層間絶縁膜を設け、該層間絶縁膜上に画素電極を設けてなる液晶表示装置において、前記層間絶縁膜の上部に付加容量共通配線を形成し、前記画素電極との間で付加容量部を形成したことを特徴としているので、付加容量共通配線と走査線または信号線との容量は無視することができ、任意の形状で付加容量共通配線を形成することができる。例えば、この付加容量共通配線を遮光膜とすることも可能である。

【0038】本発明によれば、基板上に、複数の走査線と信号線とをマトリクス状に設け、該走査線と信号線との交差部にスイッチング素子を設け、該スイッチング素子の上部に有機材料からなる層間絶縁膜を設け、該層間絶縁膜上に画素電極を設けてなる液晶表示装置において、画素電極と対応する付加容量共通配線を、前記層間絶縁膜の上方であって少なくとも前記スイッチング素子とオーバーラップする位置に形成し、前記画素電極との間で付加容量部を形成したことを特徴としているので、付加容量共通配線による開口率の低下は起こらない。

【0039】前記付加容量共通配線は、少なくともスイッチング素子におけるPN接合部を覆い、遮光膜として

機能するので、液晶表示装置に照射された光がスイッチング素子に当たりオフ電流が増大することに起因する、表示品位の低下を防止することができる。

【0040】本発明によれば、基板上に、複数の走査線と信号線とをマトリクス状に設け、該走査線と信号線との交差部にスイッチング素子を設け、該スイッチング素子の上部に有機材料からなる層間絶縁膜を設け、該層間絶縁膜上に画素電極を設けてなる液晶表示装置において、画素電極と対応する付加容量共通配線を、前記層間絶縁膜の上方であって少なくとも走査線、信号線のうち何れか一方とオーバーラップする位置に形成し、前記画素電極との間で付加容量部を形成したことを特徴としているので、付加容量共通配線による開口率の低下は起こらない。

【0041】付加容量共通配線は、ドレイン電極と画素電極とのオーミックコンタクトを取るための金属により形成されているので、この金属と同時に付加容量下部電極および付加容量共通配線のパターニングを行えばよく、付加容量下部電極および付加容量共通配線のパターニングの工程を新たに必要としない。

【0042】対向基板はブラックマトリクスを有しないので、対向基板には液晶材料のスイッチングを行う透明導電膜または透明導電膜とカラーフィルターを形成しておけばよいので、対向基板作製の工程が単純になる。

【0043】付加容量の誘電体として用いた絶縁膜の比誘電率は、層間絶縁膜に用いた有機材料の比誘電率よりも大きいので、付加容量を小面積で効果的に形成することができる。

【0044】付加容量の誘電体として、陽極酸化膜を用いているので、この陽極酸化膜は付加容量下部電極および付加容量共通配線に対する被覆性がよく、付加容量下部電極および付加容量共通配線と画素電極との短絡の問題は起こらない。またスパッタリング法やCVD法によ

って無機膜を形成する工程を必要としない。

【図面の簡単な説明】

【図1】本発明の実施の形態1による画素のレイアウト図である。

【図2】本発明の実施の形態1による画素の断面図である。

【図3】本発明における実施の形態2による画素のレイアウト図である。

【図4】本発明における実施の形態2による画素のレイアウト図である。

【図5】本発明における実施の形態3による画素の断面図である。

【図6】ドライバーを一体に形成した液晶表示装置の構成を模式的に示す図である。

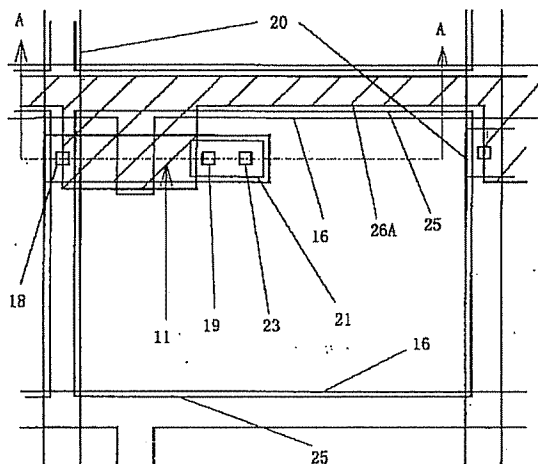
【図7】従来例における画素のレイアウト図である。

【図8】従来例における画素の断面図である。

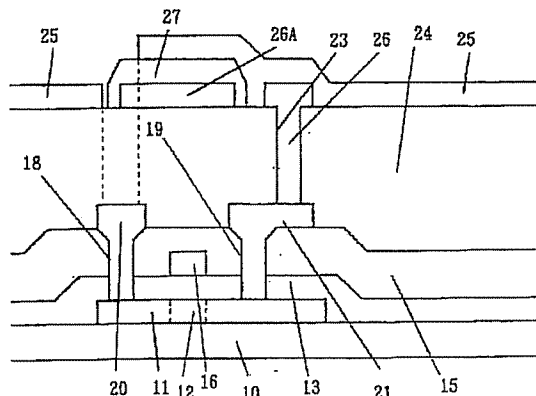
【符号の説明】

- | | |
|-----|---------------------|
| 10 | 絶縁性基板 |
| 11 | 多結晶シリコン薄膜 |
| 12 | チャンネル部 |
| 13 | ゲート絶縁膜 |
| 15 | 第1の層間絶縁膜 |
| 16 | ゲートバス配線 |
| 18 | コンタクトホール |
| 19 | コンタクトホール |
| 20 | ソースバス配線 |
| 21 | ドレイン電極 |
| 23 | コンタクトホール |
| 24 | 第2の層間絶縁膜 |
| 25 | 画素電極 |
| 26 | バリアメタル |
| 26A | 付加容量下部電極および付加容量共通配線 |
| 28 | 付加容量電極 |

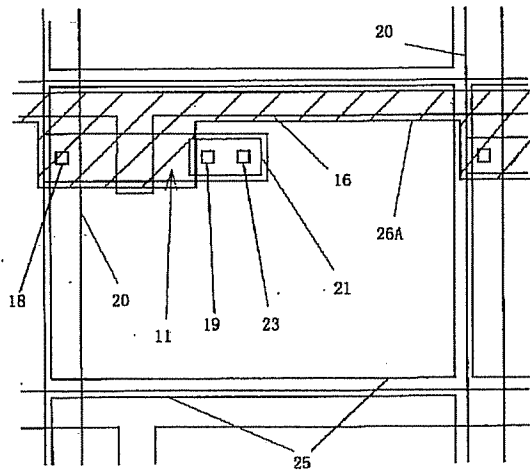
【図1】



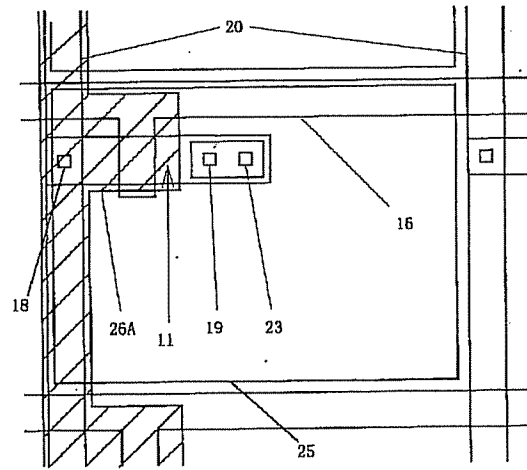
【図2】



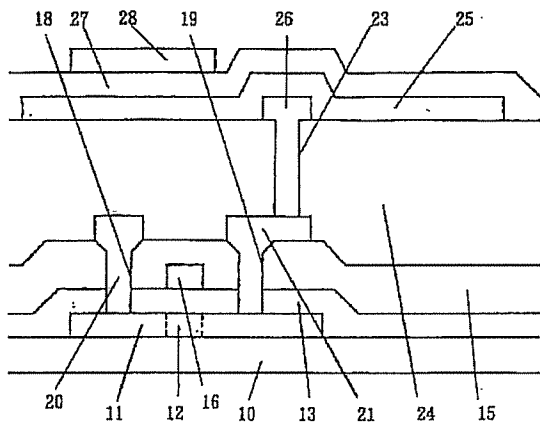
【図 3】



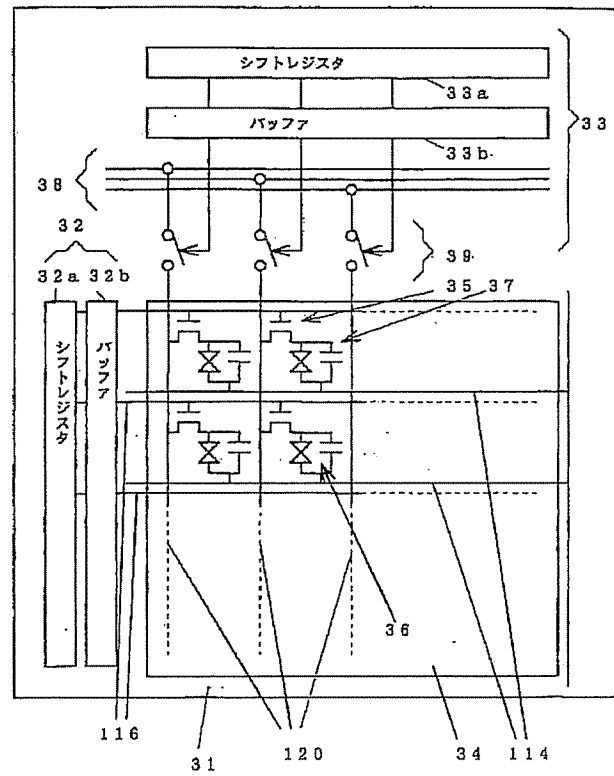
【図 4】



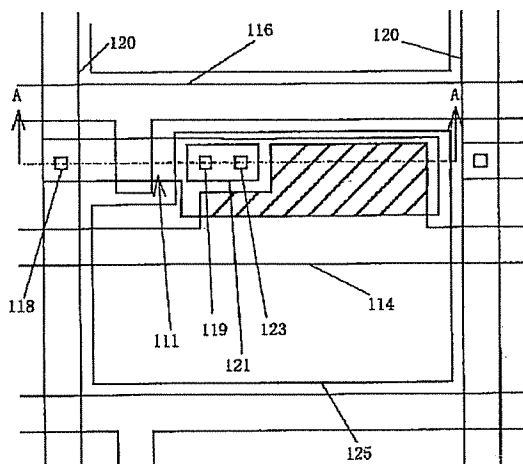
【図 5】



【図 6】



【図 7】



【図 8】

